



# (12)实用新型专利

(10)授权公告号 CN 210835777 U

(45)授权公告日 2020.06.23

(21)申请号 201922018554.5

(22)申请日 2019.11.20

(73)专利权人 佛山科学技术学院

地址 528000 广东省佛山市南海区狮山镇  
广云路33号

(72)发明人 鲁纬 段志奎 于昕梅 蒋业文

(74)专利代理机构 广州嘉权专利商标事务所有  
限公司 44205

代理人 蔡伟杰

(51)Int.Cl.

G05F 3/26(2006.01)

(ESM)同样的发明创造已同日申请发明专利

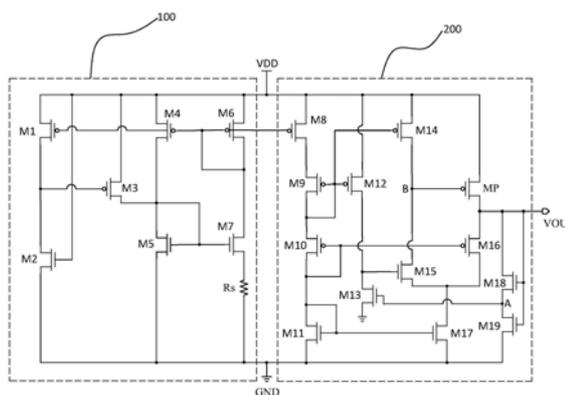
权利要求书1页 说明书7页 附图1页

## (54)实用新型名称

一种基于电压翻转跟随器结构的推挽式LDO电路

## (57)摘要

本实用新型公开了一种基于电压翻转跟随器结构的推挽式LDO电路,包括:输入电压端、输出电压端、接地端、偏置电路和控制电路。通过第十四晶体管、第十五晶体管和功率管组成电压翻转跟随器结构,并利用偏置电路和控制电路,提高了整个电路的瞬态响应能力。本实用新型主要用于集成电路技术领域。



1. 一种基于电压翻转跟随器结构的推挽式LDO电路,包括:输入电压端、输出电压端和接地端,其特征在于,还包括:

偏置电路,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管和电阻,所述第一晶体管的源极、第二晶体管的栅极、第三晶体管的源极、第四晶体管的源极、第六晶体管的源极均与输入电压端连接,所述第一晶体管的栅极分别与第四晶体管的栅极、第六晶体管的栅极连接,所述第一晶体管的漏极分别与第三晶体管的栅极、第二晶体管的漏极连接,所述第三晶体管的漏极分别与第四晶体管的漏极、第五晶体管的漏极、第五晶体管的栅极连接,所述第五晶体管的栅极与第七晶体管的栅极连接,所述第七晶体管的漏极分别与第六晶体管的漏极、第六晶体管的栅极连接,所述第七晶体管的源极与电阻的上端连接,所述电阻的下端、第五晶体管的源极、第二晶体管的源极分别与接地端连接;

控制电路,包括:第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管、第十八晶体管、第十九晶体管和功率管,所述第八晶体管的源极、第十二晶体管的源极、第十四晶体管的源极和功率管的源极均与输入电压端连接,所述第九晶体管的源极与第八晶体管的漏极连接,所述第八晶体管的栅极与第六晶体管的栅极连接,所述第九晶体管的栅极分别与第十四晶体管的栅极、第十二晶体管的栅极连接,所述第九晶体管的漏极分别与第九晶体管的栅极、第十晶体管的源极连接,所述第十晶体管的栅极分别与第十晶体管的漏极、第十六晶体管的栅极连接,所述第十晶体管的漏极与第十一晶体管的漏极连接,所述第十一晶体管的栅极分别与第十一晶体管的漏极、第十七晶体管的栅极连接,所述第十二晶体管的漏极分别与第十三晶体管的漏极、第十五晶体管的栅极连接,所述第十五晶体管的漏极分别与第十四晶体管的漏极、功率管的栅极连接,所述功率管的漏极、第十六晶体管的源极、第十八晶体管的漏极、第十八晶体管的栅极、第十九晶体管的栅极均与输出电压端连接,所述第十八晶体管的源极分别与第十三晶体管的栅极、第十九晶体管的漏极连接,所述第十三晶体管的源极、第十一晶体管的源极、第十七晶体管的源极、第十九晶体管的源极均接地端连接。

2. 根据权利要求1所述的一种基于电压翻转跟随器结构的推挽式LDO电路,其特征在于,所述第一晶体管、第三晶体管、第四晶体管和第六晶体管均为PMOS晶体管,所述第二晶体管、第五晶体管和第七晶体管均为NMOS晶体管。

3. 根据权利要求1所述的一种基于电压翻转跟随器结构的推挽式LDO电路,其特征在于:所述第八晶体管、第九晶体管、第十晶体管、第十二晶体管、第十四晶体管、第十六晶体管和功率管均为PMOS晶体管,所述第十一晶体管、第十三晶体管、第十五晶体管、第十七晶体管、第十八晶体管和第十九晶体管均为NMOS晶体管。

## 一种基于电压翻转跟随器结构的推挽式LDO电路

### 技术领域

[0001] 本实用新型涉及集成电路技术领域,特别涉及一种基于电压翻转跟随器结构的推挽式LDO电路。

### 背景技术

[0002] 随着半导体工艺技术的飞速发展,集成电路的供电电压越来越低,这对输入电压端的输出电压精度、响应速度、噪声性能等提出了越来越高的要求。因此,输入电压端管理模块在电子工业中扮演角色越来越重要。而LDO作为重要的输入电压端管理模块,因其低噪声、低成本、快速的瞬态特征等特点,广泛应用于SoC芯片设计中。如何进一步提高LDO的输出精度和瞬态响应性能,一直是现实应用中的迫切需求。

### 实用新型内容

[0003] 本实用新型的目的是提供一种基于电压翻转跟随器结构的推挽式LDO电路,以解决现有技术中所存在的一个或多个技术问题,至少提供一种有益的选择或创造条件。

[0004] 本实用新型解决其技术问题的解决方案是:一种基于电压翻转跟随器结构的推挽式LDO电路,包括:输入电压端、输出电压端、接地端、偏置电路和控制电路;

[0005] 所述偏置电路包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管和电阻,所述第一晶体管的源极、第二晶体管的栅极、第三晶体管的源极、第四晶体管的源极、第六晶体管的源极均与输入电压端连接,所述第一晶体管的栅极分别与第四晶体管的栅极、第六晶体管的栅极连接,所述第一晶体管的漏极分别与第三晶体管的栅极、第二晶体管的漏极连接,所述第三晶体管的漏极分别与第四晶体管的漏极、第五晶体管的漏极、第五晶体管的栅极连接,所述第五晶体管的栅极与第七晶体管的栅极连接,所述第七晶体管的漏极分别与第六晶体管的漏极、第六晶体管的栅极连接,所述第七晶体管的源极与电阻的上端连接,所述电阻的下端、第五晶体管的源极、第二晶体管的源极分别与接地端连接;

[0006] 所述控制电路包括:第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管、第十八晶体管、第十九晶体管和功率管,所述第八晶体管的源极、第十二晶体管的源极、第十四晶体管的源极和功率管的源极均与输入电压端连接,所述第九晶体管的源极与第八晶体管的漏极连接,所述第八晶体管的栅极与第六晶体管的栅极连接,所述第九晶体管的栅极分别与第十四晶体管的栅极、第十二晶体管的栅极连接,所述第九晶体管的漏极分别与第九晶体管的栅极、第十晶体管的源极连接,所述第十晶体管的栅极分别与第十晶体管的漏极、第十六晶体管的栅极连接,所述第十晶体管的漏极与第十一晶体管的漏极连接,所述第十一晶体管的栅极分别与第十一晶体管的漏极、第十七晶体管的栅极连接,所述第十二晶体管的漏极分别与第十三晶体管的漏极、第十五晶体管的栅极连接,所述第十五晶体管的漏极分别与第十四晶体管的漏极、功率管的栅极连接,所述功率管的漏极、第十六晶体管的源

极、第十八晶体管的漏极、第十八晶体管的栅极、第十九晶体管的栅极均与输出电压端连接,所述第十八晶体管的源极分别与第十三晶体管的栅极、第十九晶体管的漏极连接,所述第十三晶体管的源极、第十一晶体管的源极、第十七晶体管的源极、第十九晶体管的源极均接地端连接。

[0007] 进一步,所述第一晶体管、第三晶体管、第四晶体管和第六晶体管均为PMOS晶体管,所述第二晶体管、第五晶体管和第七晶体管均为NMOS晶体管。

[0008] 进一步,所述第八晶体管、第九晶体管、第十晶体管、第十二晶体管、第十四晶体管、第十六晶体管和功率管均为PMOS晶体管,所述第十一晶体管、第十三晶体管、第十五晶体管、第十七晶体管、第十八晶体管和第十九晶体管均为NMOS晶体管。

[0009] 本实用新型的有益效果是:通过第十四晶体管、第十五晶体管和功率管组成电压翻转跟随器结构,并利用偏置电路和控制电路,提高了整个电路的瞬态响应能力。

## 附图说明

[0010] 为了更清楚地说明本发明创造实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单说明。显然,所描述的附图只是本发明创造的一部分实施例,而不是全部实施例,本领域的技术人员在不付出创造性劳动的前提下,还可以根据这些附图获得其他设计方案和附图。

[0011] 图1是基于电压翻转跟随器结构的推挽式LDO电路的电路连接结构示意图。

## 具体实施方式

[0012] 本部分将详细描述本发明创造的具体实施例,本发明创造之较佳实施例在附图中示出,附图的作用在于用图形补充说明书文字部分的描述,使人能够直观地、形象地理解本发明创造的每个技术特征和整体技术方案,但其不能理解为对本发明创造保护范围的限制。

[0013] 在本发明创造的描述中,需要理解的是,涉及到方位描述,例如上、下、前、后、左、右等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明创造和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明创造的限制。

[0014] 在本发明创造的描述中,如果具有“若干”之类的词汇描述,其含义是一个或者多个,多个的含义是两个以上,大于、小于、超过等理解为不包括本数,以上、以下、以内等理解为包括本数。

[0015] 本发明创造的描述中,除非另有明确的限定,设置、安装、连接等词语应做广义理解,所属技术领域技术人员可以结合技术方案的具体内容合理确定上述词语在本发明创造中的具体含义。

[0016] 实施例1,参考图1,一种基于电压翻转跟随器结构的推挽式LDO电路,包括:输入电压端VDD、输出电压端VOUT和接地端GND,还包括:偏置电路100和控制电路200。所述偏置电路100包括:第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7和电阻R<sub>S</sub>,所述第一晶体管M1的源极、第二晶体管M2的栅极、第三晶体管M3的源极、第四晶体管M4的源极、第六晶体管M6的源极均与输入电压端VDD连接,

所述第一晶体管M1的栅极分别与第四晶体管M4的栅极、第六晶体管M6的栅极连接,所述第一晶体管M1的漏极分别与第三晶体管M3栅极、第二晶体管M2的漏极连接,所述第三晶体管M3的漏极分别与第四晶体管M4的漏极、第五晶体管M5的漏极、第五晶体管M5的栅极连接,所述第五晶体管M5的栅极与第七晶体管M7的栅极连接,所述第七晶体管M7的漏极分别与第六晶体管M6的漏极、第六晶体管M6的栅极连接,所述第七晶体管M7的源极与电阻Rs的上端连接,所述电阻Rs的下端、第五晶体管M5的源极、第二晶体管M2的源极分别与接地端GND连接。

[0017] 所述控制电路200包括:第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11、第十二晶体管M12、第十三晶体管M13、第十四晶体管M14、第十五晶体管M15、第十六晶体管M16、第十七晶体管M17、第十八晶体管M18、第十九晶体管M19和功率管MP,所述第八晶体管M8的源极、第十二晶体管M12的源极、第十四晶体管M14的源极和功率管MP的源极均与输入电压端VDD连接,所述第九晶体管M9的源极与第八晶体管M8的漏极连接,所述第八晶体管M8的栅极与第六晶体管M6的栅极连接,所述第九晶体管M9的栅极分别与第十四晶体管M14的栅极、第十二晶体管M12的栅极连接,所述第九晶体管M9的漏极分别与第九晶体管M9的栅极、第十晶体管M10的源极连接,所述第十晶体管M10的栅极分别与第十晶体管M10的漏极、第十六晶体管M16的栅极连接,所述第十晶体管M10的漏极与第十一晶体管M11的漏极连接,所述第十一晶体管M11的栅极分别与第十一晶体管M11的漏极、第十七晶体管M17的栅极连接,所述第十二晶体管M12的漏极分别与第十三晶体管M13的漏极、第十五晶体管M15的栅极连接,所述第十五晶体管M15漏极分别与第十四晶体管M14的漏极、功率管MP的栅极连接,所述功率管MP的漏极、第十六晶体管M16的源极、第十八晶体管M18的漏极、第十八晶体管M18的栅极、第十九晶体管M19的栅极均与输出电压端VOUT连接,所述第十八晶体管M18的源极分别与第十三晶体管M13的栅极、第十九晶体管M19的漏极连接,所述第十三晶体管M13的源极、第十一晶体管M11的源极、第十七晶体管M17的源极、第十九晶体管M19的源极均接地端GND连接。其中,所述第一晶体管M1、第三晶体管M3、第四晶体管M4和第六晶体管M6均为PMOS晶体管,所述第二晶体管M2、第五晶体管M5和第七晶体管M7均为NMOS晶体管。所述第八晶体管M8、第九晶体管M9、第十晶体管M10、第十二晶体管M12、第十四晶体管M14、第十六晶体管M16和功率管MP均为PMOS晶体管,所述第十一晶体管M11、第十三晶体管M13、第十五晶体管M15、第十七晶体管M17、第十八晶体管M18和第十九晶体管M19均为NMOS晶体管。

[0018] 在偏置电路100中,第一晶体管M1、第二晶体管M2、第三晶体管M3组成启动电路,该电路在输入电压端VDD上电时能驱使电路摆脱简并偏置点,保证整个偏置电路100的启动,偏置电路100启动后,第三晶体管M3保持关断。输入电压端VDD未通电之前,所有晶体管处于关断状态,输入电压端VDD通电后,第三晶体管M3的栅源电压增大,第三晶体管M3作为启动管开始导通,第二晶体管M2的栅极与输入电压端VDD直接连接,第二晶体管M2也开始导通,第三晶体管M3的漏极与第五晶体管M5的栅极连接,第五晶体管M5、第四晶体管M4、第七晶体管M7、第六晶体管M6开始导通,第四晶体管M4和第六晶体管M6构成电流镜,第五晶体管M5和第七晶体管M7构成电流镜,流经第六晶体管M6和第七晶体管M7的电流和晶体管本身的参数、电阻Rs有关,和输入电压端VDD无关,第六晶体管M6和第七晶体管M7产生的基准电流,给控制电路200提供基准电压,同时第一晶体管M1的栅极电压开始减小,流过第一晶体管M1的电流增大,拉高第一晶体管M1的漏极电压,则第三晶体管M3的栅极电压增大,第三晶体管M3的电流将减小直至关断。

[0019] 在控制电路200中,如图1所示,为了方便描述,在第十八晶体管M18的源极和第十九晶体管M19的漏极之间设置节点A,在第十四晶体管M14的漏极和第十五晶体管M15的漏极之间设置节点B。

[0020] 当输出电压端VOUT的电压升高时,节点A的电压升高,第十三晶体管M13的栅极电压升高,流过第十三晶体管M13的电流增大,拉低第十三晶体管M13的漏极电压,流过第十二晶体管M12的电流不变,则第十五晶体管M15的栅极电压降低,流过第十五晶体管M15的电流减小,流过第十四晶体管M14的电流保持不变,拉高节点B的电压,功率管MP的栅极电压增大,流过功率管MP的电流减小,拉低输出电压端VOUT的电压恢复至正常状态。而且,当输出电压端VOUT的电压快速升高时,流过第十六晶体管M16的电流随之增大,第十七晶体管M17的电流保持恒定,流过第十五晶体管M15的电流减小更快,迅速拉高节点B点的电压,功率管MP的栅极电压迅速增大,流过功率管MP的电流减小,迅速拉低输出电压端VOUT的电压恢复至正常状态。

[0021] 当输出电压端VOUT的电压降低时,节点A的电压降低,第十三晶体管M13的栅极电压升高,流过第十三晶体管M13的电流减小,拉高第十三晶体管M13的漏极电压,流过第十二晶体管M12的电流不变,则第十五晶体管M15的栅极电压升高,流过第十五晶体管M15的电流增大,流过第十四晶体管M14的电流保持不变,拉低节点B点的电压,功率管MP的栅极电压降低,流过功率管MP的电流增大,拉高电压端VOUT的电压恢复至正常状态;当输出电压端VOUT的电压快速降低时,流过第十六晶体管M16的电流随之减小,第十七晶体管M17的电流保持恒定,流过第十五晶体管M15的电流迅速增大,拉低节点B点的电压,功率管MP的栅极电压降低,流过功率管MP的电流增大,拉高输出电压端VOUT的电压恢复至正常状态。

[0022] 本实施例通过第十四晶体管M14、第十五晶体管M15和功率管MP组成电压翻转跟随器结构,并利用偏置电路100,提高了整个电路的瞬态响应能力。

[0023] 下面对本发明创造的LDO电路进行定量分析:

[0024] 公式符号说明: $V_{out}$ 表示为输出电压端VOUT的电压, $\mu_n$ 是电子的迁移率, $C_{ox}$ 是单位面积栅电容。 $W$ 是导电沟道宽度, $L$ 是导电沟道长度, $R_s$ 表示为电阻 $R_s$ 电阻值, $V_{GSi}$ 表示为第*i*晶体管的栅源电压, $V_{TH}$ 表示为晶体管的阈值电压, $I_i$ 表示为流经第*i*晶体管的电流, $(W/L)_i$ 表示为第*i*晶体管的晶体管参数, $K_i$ 表示为第*i*晶体管的晶体管参数, $K_i = \mu_p C_{ox} (W/L)_i$ ,下标*i*表示为晶体管的标号,例如,当*i*为4时,则表示为第四晶体管M4。

[0025] 1、对偏置电路100进行分析:

[0026] 由第四晶体管M4、第五晶体管M5、第六晶体管M6和第七晶体管M7组成的电路可以产生与输入电压端VDD无关的偏置电流。其中第四晶体管M4、第六晶体管M6构成电流镜,第五晶体管M5、第七晶体管M7构成电流镜。

[0027] 假设流经第四晶体管M4、第五晶体管M5的电流是 $I_4$ ,流经第六晶体管M6、第七晶体管M7的电流是 $I_{ref}$ ,则可以写出:

[0028]  $V_{GS5} = V_{GS4} + I_{ref} R_s$ 或

$$[0029] \sqrt{\frac{2I_{ref}}{\mu_n C_{ox} (W/L)_5}} + V_{TH5} = \sqrt{\frac{2I_{ref}}{\mu_n C_{ox} (W/L)_7}} + V_{TH7} + I_{ref} R_s;$$

[0030] 忽略体效应,将

$$[0031] \quad K = \frac{(W/L)_7}{(W/L)_5},$$

[0032] 因此可以得到:

$$[0033] \quad I_{ref} = \frac{2}{\mu_n C_{ox}(W/L)_N R_5^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (1);$$

[0034] 从式(1)中可以看出,流经第六晶体管M6、第七晶体管M7的电流 $I_{ref}$ 与输入电压端VDD电压无关,只与工艺和温度参数有关,所以从该偏置电路100流出的电流保持恒定。

[0035] 从图1中可以看出第六晶体管M6与第八晶体管M8构成电流镜结构,提供偏置电流,流过第六晶体管M6和第八晶体管M8的电流都是恒定的,两者关系为:

$$[0036] \quad I_8 = \frac{K_8}{K_6} I_6 \quad (2),$$

[0037] 2、对控制电路200进行分析。

[0038] 将节点A的电压表示为电压 $V_{fb}$ ,输出电压端VOUT的电压表示为电压 $V_{out}$ 。

[0039] 节点A的电压 $V_{fb}$ 是随输出电压端VOUT的 $V_{out}$ 同步变化的。由图1可知第十八晶体管M18的连接方式为二极管连接,因此处于饱和区,第十九晶体管M19处于三极管区,故:

$$[0040] \quad I_{18} = \frac{1}{2} K_{18} (V_{GS18} - V_{TH})^2 \quad (3),$$

$$[0041] \quad I_{19} = K_{19} \left[ (V_{GS19} - V_{TH}) V_{DS19} - \frac{1}{2} V_{DS19}^2 \right] \quad (4),$$

$$[0042] \quad I_{18} = I_{19} \quad (5),$$

[0043] 联立式(3)和(5)可得:

$$[0044] \quad V_{GS18} = V_{TH} + \sqrt{\frac{2I_{19}}{K_{18}}} \quad (6),$$

$$[0045] \quad V_{GS19} = V_{out} \quad (7),$$

$$[0046] \quad V_{DS19} = V_{fb} \quad (8),$$

$$[0047] \quad V_{GS18} = V_{out} - V_{fb} \quad (9),$$

[0048] 由式(4)、(6)、(7)、(8)、(9)可得:

$$[0049] \quad V_{fb} = (V_{out} - V_{TH}) \left(1 + \sqrt{\frac{K_{19}}{K_{18} + K_{19}}}\right) \quad (10),$$

[0050] 对式(10)求导可得:

$$[0051] \quad \frac{\partial V_{fb}}{\partial V_{out}} = 1 + \sqrt{\frac{K_{19}}{K_{18} + K_{19}}} \quad (11),$$

[0052] 由式(11)可以看出,节点A处的电压与输出电压端VOUT处的电压之间的导数大于零,因此它们之间呈正比例关系。节点A处的电压随输出的增大而增大。流经第十三晶体管M13的电流为:

$$[0053] \quad I_{13} = \frac{1}{2} K_{13} (V_{GS13} - V_{TH})^2 \quad (12)$$

$$[0054] \quad V_{GS13} = V_{fb} \quad (13)$$

[0055] 联立式(12)和(13)可得:

$$[0056] \quad I_{13} = \frac{1}{2} K_{13} (V_{fb} - V_{TH})^2 \quad (14),$$

[0057] 由式(14)可知,流经第十三晶体管M13的电流随着节点A的电压升高而增大。流过第十二晶体管M12、第十三晶体管M13的电流相等,则:

$$[0058] \quad I_{12} = I_{13} \quad (15),$$

[0059] 第十二晶体管M12与第十四晶体管M14构成电流镜结构,则流过第十二晶体管M12与第十四晶体管M14的电流关系:

$$[0060] \quad I_{14} = \frac{K_{14}}{K_{12}} I_{12} \quad (16),$$

[0061] 第十四晶体管M14以二极管形式连接,则流过第十五晶体管M15的电流与流过第十四晶体管M14的电流相等,则:

$$[0062] \quad I_{15} = I_{14} \quad (17),$$

[0063] 由设置工艺器件参数可知,流过第十五晶体管M15与第十七晶体管M17的电流成一定比例设为 $\frac{1}{N}$ ,则:

$$[0064] \quad I_{15} = \frac{1}{N} I_{17} \quad (18),$$

[0065] 第九晶体管M9、第十晶体管M10、第十一晶体管M11都是以二极管形式连接,所以流过它们之间的电流相等,保持恒定,则:

$$[0066] \quad I_{11} = I_{10} = I_9 = I_8 \quad (19),$$

[0067] 第十一晶体管M11与第十七晶体管M17组成电流镜结构,则流过第十一晶体管M11和第十七晶体管M17的电流关系:

$$[0068] \quad I_{17} = \frac{K_{17}}{K_{11}} I_{11} \quad (20),$$

[0069] 联立式(2)、(18)、(19)、(20)可得:

$$[0070] \quad I_{15} = \frac{1}{N} \frac{K_{17} K_8}{K_{11} K_6} I_{ref} \quad (21),$$

[0071] 联立式(14)、(15)、(16)、(17)可得:

$$[0072] \quad I_{15} = \frac{1}{2} \frac{K_{14} K_{13}}{K_{12}} \left( (V_{out} - V_{TH}) \left( 1 + \sqrt{\frac{K_{19}}{K_{18} + K_{19}}} \right) - V_{TH} \right)^2 \quad (22),$$

[0073] 输出电压端VOUT与第十六晶体管M16的源极连接,考虑沟道调制效应可知输出输出电压端VOUT的电压 $V_{out}$ 和流经第十六晶体管M16的电流 $I_{16}$ 关系是:

$$[0074] \quad I_{16} = -\frac{1}{2} K_{16} (V_{GS16} - V_{TP})^2 (1 + \lambda V_{DS16}) \quad (23),$$

$$[0075] \quad V_{DS16} = V_{out} - V_{D17} \quad (24)。$$

[0076] PMOS管的电流表达式中,里面的负号不代表大小,而是表示方向,式(23)表示电流方向为由漏极流向源极,这里规定电流方向为由源极流向漏极,考虑沟道调制效应,可得PMOS管源漏电流表达式为

$$[0077] \quad I_{16} = \frac{1}{2} K_{16} (V_{GS16} - V_{TP})^2 (1 + \lambda V_{DS16}) \quad (25),$$

[0078] 当输出电压端VOUT的电压 $V_{out}$ 发生变化,设其变化量为 $\Delta V_{out}$ ,第十六晶体管M16的

漏源电压与输出电压端VOUT的电压 $V_{out}$ 的变化关系如下：

$$[0079] \quad \Delta V_{DS16} = \Delta V_{out} - V_{D17} \quad (26),$$

[0080] 流经第十七晶体管M17的总电流不变,因此当流经第十六晶体管M16的电流发生变化时,流经第十五晶体管M15的电流随之发生变化,即:

$$[0081] \quad \Delta I_{16} = -\Delta I_{15} \quad (27),$$

[0082] 由式(25)、(26)、(27)可得,流经第十五晶体管M15的电流与输出电压端VOUT的电压 $V_{out}$ 有如下关系:

$$[0083] \quad \Delta I_{15} = -\frac{1}{2}K(V_{GS16} - V_{TP})^2(1 + \lambda(\Delta V_{out} - V_{D17})) \quad (28),$$

[0084] 由式(28)可知 $\Delta V_{out}$ 为负时, $\Delta I_{15}$ 为正,即输出电压端VOUT的电压 $V_{out}$ 减小时,流经第十五晶体管M15的电流增大, $V_{out}$ 增大时,流经第十五晶体管M15的电流减小。流经第十五晶体管M15的电流减小,同时流经第十四晶体管M14的电流保持不变,将节点B点的电压拉高,则通过功率管MP的栅极电压升高。

[0085] 流经功率管MP的电流为:

$$[0086] \quad I_P = \frac{1}{2}K_P(V_{GSP} - V_{TH})^2 \quad (29),$$

[0087] 功率管MP的栅极电压升高,栅源电压降低,由式(29)可知,流经功率管MP的电流减小,则将 $V_{out}$ 拉低恢复正常状态。

[0088] 联立式(10)、(21)、(22)可得输出 $V_{out}$ 的表达式

$$[0089] \quad V_{out} = \frac{1}{\sqrt{K_{18}+K_{19}}+\sqrt{K_{19}}} \sqrt{\frac{2K_{17}K_{12}K_8(K_{18}+K_{19})}{NK_{14}K_{13}K_{11}K_6}} I_{ref} \left( 1 + \frac{(K_{18}+K_{19})}{\sqrt{K_{18}+K_{19}}+\sqrt{K_{19}}} \right) V_{TH} \quad (30),$$

[0090] 综上,输出 $V_{out}$ 升高时,由式(11)可知,节点A的电压升高,第十三晶体管M13的栅极电压也升高,由式(14)可知,流经第十三晶体管M13的电流随之增大,第十二晶体管M12与第九晶体管M9构成电流镜结构,因此流经第十二晶体管M12的电流保持不变,拉低第十五晶体管M15的栅极电压,由式(28)可知,流经第十五晶体管M15的电流减小的更快,由式(16)可知,流经第十四晶体管M14的电流保持不变,拉高功率管MP的栅极电压,由式(28)可知,流过功率管MP的电流随之减小,将 $V_{out}$ 拉低恢复至正常状态。

[0091] 输出 $V_{out}$ 降低时,由式(11)可知,节点A的电压降低,第十三晶体管M13的栅极电压也降低,由式(14)可知,流经第十三晶体管M13的电流随之减小,第十二晶体管M12与第九晶体管M9构成电流镜结构,因此流经第十二晶体管M12的电流保持不变,拉高第十五晶体管M15的栅极电压,由式(28)可知,流经第十五晶体管M15的电流增大的更快,由式(16)可知,流经第十四晶体管M14的电流保持不变,拉低功率管MP的栅极电压,由式(28)可知,流过功率管MP的电流随之增大,将 $V_{out}$ 拉高恢复至正常状态。

[0092] 通过仿真实验可知,本技术方案相对于现有技术的LDO电路具有很好的瞬态响应能力。

[0093] 以上对本发明创造的较佳实施方式进行了具体说明,但本发明创造并不限于所述实施例,熟悉本领域的技术人员在不违背本发明创造精神的前提下还可做出种种的等同变型或替换,这些等同的变型或替换均包含在本申请权利要求所限定的范围内。

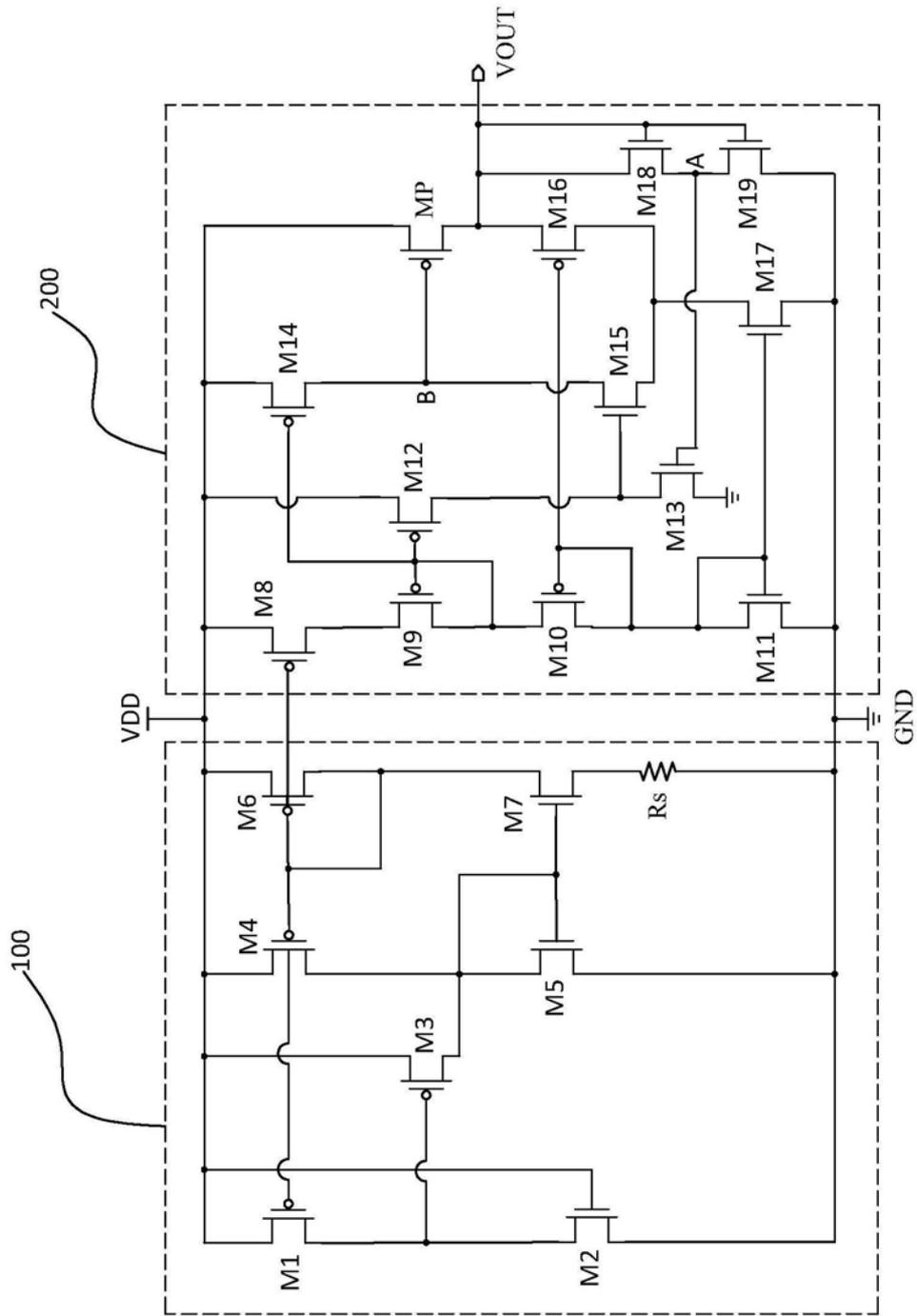


图1